

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110997

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 29/786
H01L 21/336
H01L 21/20
H01L 21/205
H01L 21/306

(21)Application number : 2000-299164

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.2000

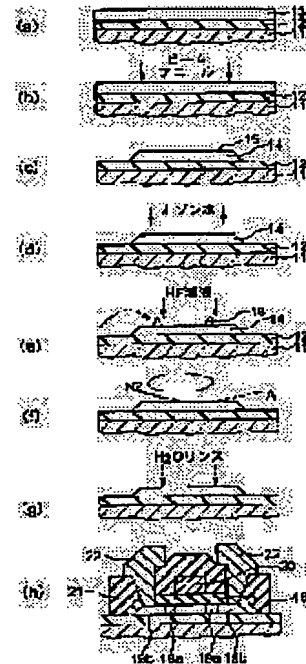
(72)Inventor : MATSUURA YUKI

(54) MANUFACTURING METHOD OF POLYCRYSTALLINE THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent variations in characteristics of a thin-film transistor as much as possible.

SOLUTION: There are provided a process where an amorphous silicon film 13 is formed on a substrate 11, a process where the amorphous silicon film is annealed with a laser beam for crystallization to form a polycrystalline silicon film 14, a process where a surface of the polycrystalline silicon film is cleaned in a dilute HF solution, whose concentration is 0.6-1.0 wt.%, and a process where a gate insulating film is formed on the polycrystalline silicon film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-110997
(P2002-110997A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
H 0 1 L	29/786	H 0 1 L 21/20	5 F 0 4 3
	21/336	21/205	5 F 0 4 5
	21/20	29/78	6 1 7 V 5 F 0 5 2
	21/205	21/306	D 5 F 1 1 0
	21/306		
審査請求 未請求 請求項の数 3 O L (全 6 頁)			

(21) 出願番号 特願2000-299164(P2000-299164)

(22) 出願日 平成12年9月29日 (2000. 9. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 松 浦 由 紀

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

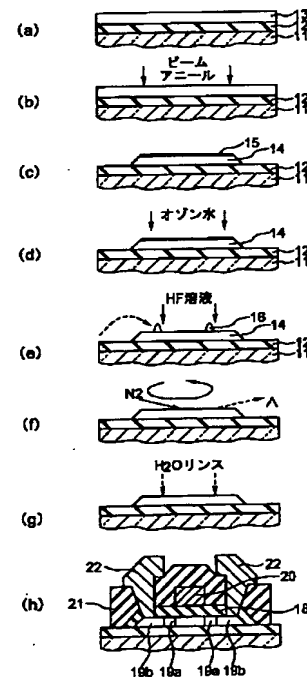
最終頁に続く

(54) 【発明の名称】 多結晶薄膜トランジスタの製造方法

(b7) 【要約】

【課題】 薄膜トランジスタの特性のばらつきを可及的に防止することを可能にする。

【解決手段】 基板11上に非晶質シリコン膜13を形成する工程と、非晶質シリコン膜をレーザビームを用いてアニールすることにより結晶化させて多結晶シリコン膜14を形成する工程と、濃度が0.6wt%から1.0wt%の範囲の希HF溶液を用いて多結晶シリコン膜の表面を洗浄する工程と、多結晶シリコン膜上にゲート絶縁膜を形成する工程と、を備えたことを特徴とする。



1

【特許請求の範囲】

【請求項1】基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜をレーザビームを用いてアニールすることにより結晶化させて多結晶シリコン膜を形成する工程と、濃度が0.6wt%から1.0wt%の範囲の希HF溶液を用いて前記多結晶シリコン膜の表面を洗浄する工程と、前記多結晶シリコン膜上にゲート絶縁膜を形成する工程と、を備えたことを特徴とする多結晶薄膜トランジスタの製造方法。

【請求項2】前記多結晶シリコン膜の表面を希HF溶液を用いて洗浄した直後に、スピン乾燥させ、その後に純水を用いてリンス処理を行なう工程を備えたことを特徴とする請求項1記載の多結晶薄膜トランジスタの製造方法。

【請求項3】前記多結晶シリコン膜の表面を希HF溶液を用いて洗浄する前に、前記多結晶シリコン膜の表面に酸化膜を形成する工程を備えたことを特徴とする請求項1または2記載の多結晶薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶シリコン薄膜トランジスタの製造方法に関し、特に多結晶シリコン薄膜トランジスタを有する液晶表示装置の製造に用いられる。

【0002】

【従来の技術】液晶ディスプレイの高密度化、低コスト化を実現する技術として、多結晶シリコン薄膜トランジスタ（以下、TFTとも言う）が注目されている。多結晶シリコンTFTを用いた場合、画素スイッチング素子以外に、高速動作が可能であるため駆動回路にも用いて駆動回路一体形成ができるという利点がある。液晶ディスプレイでは、無アルカリガラス等の透明基板上に多結晶シリコンTFTを形成するため、基板ダメージの少ない低温プロセスで多結晶シリコン膜を形成することが必須となる。そこで、非晶質シリコン膜をレーザアニールにより結晶化させて多結晶シリコン膜を形成する方法が有力である。レーザアニールによって結晶化させると、シリコン膜の温度は1200℃程度まで上昇するため、形成された多結晶シリコン膜表面は酸化される。この形成された表面酸化膜は、カーボンやボロン等の不純物を含んでいる。

【0003】コプラナー型構造でTFTを形成する場合、このように酸化された多結晶シリコン膜をパターニングした後に、ゲート絶縁膜を形成する。多結晶シリコンとゲート絶縁膜の界面が汚染されていると、TFTの特性がばらつく。主に、界面の汚染によってTFTのしきい値電圧（V_{th}）が不均一になる。そこで、通常はゲート絶縁膜を形成する前に多結晶シリコン膜表面の洗浄、すなわちレーザアニールによって形成された汚染された酸化膜を除去するために希HF洗浄（処理）を行な

2

う。

【0004】従来、ゲート絶縁膜の形成前の洗浄の目的は汚染された表面酸化膜を完全に除去するためであったため、希HFの濃度が1.5wt%～2.5wt%である溶液を用いて処理を行っていた。

【0005】従来の薄膜トランジスタの製造方法を図5を参照して説明する。まず図5（a）に示すように、400×500mmサイズのガラス基板11上にアンダーコート膜12を形成し、このアンダーコート膜12上に非晶質シリコン膜13を形成する。アンダーコート膜12および非晶質シリコン膜13の形成には、プラズマCVD法を用いて例えば成膜温度300℃で形成する。非晶質シリコン膜13の膜厚は50nmである。続いて、非晶質シリコン膜13中の水素を脱離するために450℃、30～60分の熱アニールを行う。

【0006】次に、図5（b）に示すように、例えばXeClレーザを非晶質シリコン膜13に照射し、非晶質シリコン膜13の結晶化を行う。膜厚50nmの非晶質シリコン膜に対するレーザの照射エネルギー密度は280～400mJ/cm²の範囲に設定した。形成された多結晶シリコン膜14の粒径は0.25～1.0μmであった。

【0007】次に、図5（c）に示すように多結晶シリコン膜14をフォトリソグラフィ技術を用いてパターニングし、薄膜トランジスタの活性層を形成する。なお、図5（c）において、符号15は、図5（b）のレーザアニール工程で形成された表面酸化膜である。

【0008】次に、ゲート酸化膜形成前の洗浄を行なう。洗浄工程は以下の通りである。まず、図5（d）に示すように希HF溶液を用いて洗浄処理を行なう。希HF溶液16の濃度は、1.5wt%～2.5wt%の範囲で設定する。なお、符号23はHFミストを示している。

【0009】次に、希HF処理後、図5（e）に示すように、純水リンスを行なって、スピン乾燥を行なった。なお、符号24は、HFミストによって形成された水ガラスを示している。

【0010】次に、図5（f）に示すように、多結晶シリコン膜14上にゲート絶縁膜18を形成し、このゲート絶縁膜18上にゲート電極20を形成する。続いて、このゲート電極20をマスクとして不純物を多結晶シリコン膜14に導入して低濃度のソース・ドレイン領域19aを形成する（図5（f）参照）。その後、ゲート電極20の側面および上面に図示しないレジストパターンを形成し、このレジストパターンをマスクとして不純物を導入することにより、高濃度のソース・ドレイン領域19bを形成する（図5（f）参照）。その後、上記レジストパターンを除去する。そして全面にプラズマCVDを用いて層間絶縁膜21を形成した後に、この層間絶縁膜21に、高濃度のソース・ドレイン領域19bとの

3

コンタクトをとるためのコンタクトホールを形成する(図5(f)参照)。その後、上記コンタクトホールを埋め込むように全面に電極材料の膜を堆積し、この電極材料の膜をハターニングすることによりソース・ドレイン電極22を形成し、薄膜トランジスタを作製する(図5(f)参照)。

【0011】

【発明が解決しようとする課題】ゲート絶縁膜形成前の洗浄に用いる希HF濃度が2.5wt%以上であると、多結晶シリコン膜のエッチングレートが速くなるためにエッチングレートを制御するのが難しく、多結晶シリコン膜のエッチングによる膜厚分布が生じてTFT特性がばらついてしまうという問題点があった。希HF濃度の下限値は、あまり濃度が低くなると酸化膜の除去能力が低下するために一枚の基板を洗浄するに要する時間(以下、タクトとも言う)が長くなるという2点から決定されていた。このため、通常ゲート絶縁膜形成前の処理では希HF濃度は1.5wt%~2.5wt%の範囲で使用していた。また、タクトが長くなることから希HF濃度を1.5wt%以下で使用する考えは従来なかった。

【0012】しかしながら、従来の1.5wt%~2.5wt%の範囲の希HF濃度でゲート絶縁膜形成前の洗浄を行なって液晶表示装置を製造した場合、TFT特性の局所的なバラツキ(特に、しきい値 V_{th} のバラツキ)による線欠点や点欠点が生じることがわかった。これらの欠点の発生原因は、希HF処理時に基板上に局所的に再付着する希HFミストによる水ガラスの形成(それによる汚染も含む)であった。希HF処理は基板(例えば400×500mm基板)を回転させて行なうが、回転数を最適化しても特に基板端には希HFミストが付着してしまう。多結晶シリコン膜上に希HFミストが付着すると、水ガラスが形成されて多結晶シリコン膜とゲート絶縁膜の界面でのしきい値 V_{th} のバラツキを引き起こす。画素TFTが汚染された場合には、保持不良による輝点が生じ、周辺回路のアナログスイッチのTFTが汚染された場合には、輝線が生じる。

【0013】本発明は、上記事情を考慮してなされたものであって、薄膜トランジスタの特性のばらつきを可及的に防止することのできる薄膜トランジスタの製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明による薄膜トランジスタの製造方法は、基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜をレーザビームを用いてアニールすることにより結晶化させて多結晶シリコン膜を形成する工程と、濃度が0.6wt%から1.0wt%の範囲の希HF溶液を用いて前記多結晶シリコン膜の表面を洗浄する工程と、前記多結晶シリコン膜上にゲート絶縁膜を形成する工程と、を備えたことを特徴とする。

4

【0015】なお、前記多結晶シリコン膜の表面を希HF溶液を用いて洗浄した直後に、スピンドライさせ、その後純水を用いてリンス処理を行なう工程を備えるように構成しても良い。

【0016】なお、前記多結晶シリコン膜の表面を希HF溶液を用いて洗浄する前に、前記多結晶シリコン膜の表面に酸化膜を形成する工程を備えるように構成しても良い。

【0017】

【発明の実施の形態】以下に、本発明による薄膜トランジスタの製造方法の一実施形態を図面を参照して説明する。本発明による薄膜トランジスタの製造方法の一実施形態の製造方法を図1に、示す。

【0018】まず図1(a)に示すように、400×500mmサイズのガラス基板11上にアンダーコート膜12を形成し、このアンダーコート膜12上に非晶質シリコン膜13を形成する。アンダーコート膜12および非晶質シリコン膜13の形成には、プラズマCVD法を用いて例えば成膜温度300℃で形成する。非晶質シリコン膜13の膜厚は50nmである。続いて、非晶質シリコン膜13中の水素を脱離するために450℃、30~60分の熱アニールを行う。

【0019】次に、図1(b)に示すように、例えばXeClレーザを非晶質シリコン膜13に照射し、非晶質シリコン膜13の結晶化を行う。膜厚50nmの非晶質シリコン膜に対するレーザの照射エネルギー密度は280~400mJ/cm²の範囲に設定した。形成された多結晶シリコン膜14の粒径は0.25~1.0μmであった。

【0020】次に、図1(c)に示すように多結晶シリコン膜14をフォトリソグラフィ技術を用いてパターニングし、薄膜トランジスタの活性層を形成する。なお、図1(c)において、符号15は、図1(b)のレーザアニール工程で形成された表面酸化膜である。

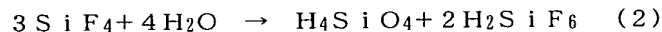
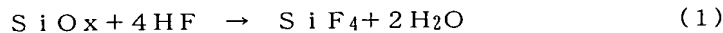
【0021】次に、ゲート酸化膜形成前の洗浄を行なう。洗浄工程は以下の通りである。まず、図1(d)に示すように、O₃(オゾン)溶液を用いて多結晶シリコン膜14の表面を酸化させる。O₃処理は、スピンドライ装置の回転する台上に基板11を載置して固定し、回転している基板11の多結晶シリコン膜表面に、オゾン溶液を噴射する。なお、本実施形態においては、上記スピンドライ装置の回転数が300rpm、O₃の濃度が5ppm、処理時間が23sec、O₃の流量が1.5L/minであった。なお、このO₃処理に代えてプラズマ酸化により多結晶シリコン膜14の表面を酸化させても良い。

【0022】次に、図1(e)に示すように希HF処理を行なう。希HF溶液16の濃度は、0.6wt%~1.0wt%の範囲で設定する。本実施形態では、例えば、希HF溶液16の濃度を0.7wt%に設定して、

±0.1wt%で管理を行なった。希HF処理は、上記スピンドット装置の回転する台上に固定された基板に濃度を0.7wt%の希HF溶液16を噴射することにより行う。なお、本実施形態においては、処理時間を15sec、回転数を300rpm、希HF溶液の流量を3L/minに設定した。

【0023】次に、図1(f)に示すように希HF処理後、表面が乾かないうちに基板上の希HF溶液およびミスト16をスピンドット乾燥によって除去する。その後、図1(g)に示すように、純水リンスを行なって、スピンドット乾燥を行なった。これは後述するように、多結晶シリコン膜14に残っている希HF溶液と純水が混合すると、水ガラスが形成されやすくなるためである。希HF処理後のスピンドット乾燥は、ミストの再付着が最も少ない回転数1000から1300rpmとして、処理時間は22secとした。

【0024】次に、図1(h)に示すように、多結晶シリコン膜14上にゲート絶縁膜18を形成し、このゲート絶縁膜18上にゲート電極20を形成する。続いて、このゲート電極20をマスクとして不純物を多結晶シリコン膜14に導入して低濃度のソース・ドレイン領域19aを形成する(図1(h)参照)。その後、ゲート電極20の側面および上面に図示しないレジストパターンを形成し、このレジストパターンをマスクとして不純物を導入することにより、高濃度のソース・ドレイン領域19bを形成する(図1(h)参照)。その後上記レジストパターンを除去する。そして全面にプラズマCVDを用いて層間絶縁膜21を形成した後に、この層間絶縁膜21に、高濃度のソース・ドレイン領域19bとのコンタクトをとるためのコンタクトホールを形成する(図1(h)参照)。その後、上記コンタクトホールを埋め込むように全面に電極材料の膜を堆積し、この電極材料の膜をパターニングすることによりソース・ドレイン電極22を形成し、薄膜トランジスタを作製する(図1



HF濃度が高いと、式(1)の反応が促進されるため、SiF₄が多量に形成される。

【0031】その一部はHFと反応して2H₂SiF₆(フルオロケイ酸)が形成されて溶解するが、一部のSiF₄は式2の反応によってH₄SiO₄(モノケイ酸)を形成される。H₄SiO₄が多結晶シリコン膜上で乾燥して脱水すると、重合して(SiO₂)_n=水ガラスが形成される。再付着するHFミストの濃度が高いと、基板上で式1および2の反応が促進するため、水ガラスとして多結晶シリコン上に残りやすくなる。このように、HF濃度が希薄であるほど、H₄SiO₄が形成されにくくなるのがわかる。

【0032】ミストによる不良発生頻度という点ではHF濃度が低いほど良いが、希HF濃度が0.6wt%より

* (h) 参照)。

【0025】次に、希HF処理に用いられるHF溶液の濃度が0.6wt%から1.0wt%の範囲内にあることが好ましい理由を図2乃至図4を参照して以下に説明する。

【0026】TF特性のパラツキに影響するミストには、希HF濃度と回転数が影響することがわかった。図2に、HF濃度と基板上のパーティクル(ミスト)数の関係(基板サイズ400×500)を示す。パーティクルの測定は、多結晶シリコン膜を形成したガラス基板をHF処理した後、検出感度を上げるためにAl膜を成膜してパーティクルを増幅させた。HF洗浄前後のパーティクル数は光学式のパーティクル検査装置を用いて検査を行なった。その結果、HF濃度が1.0wt%より高くなると、急激にパーティクル数が増加した。パーティクルとして検出されたものの中で、HF濃度増加によって増えたものは主にHFミスト起因の水ガラスであった。さらに、HF溶液処理を行なった後にリンス洗浄前に乾燥処理をなうことにより、パーティクルをさらに低減できることがわかった。

【0027】図3に、希HF濃度と不良パネル数の関係を示す。希HF濃度1.0wt%以下では、線欠点および点欠点の不良が減少することがわかる。このことは、HF濃度が1.0wt%以下になるとパーティクル数が減少することに一致している。

【0028】液晶表示装置のパネルの不良原因を調査したところ、TF特性に起因する不良(しきい値V_{th}のシフト)が大幅に減少していることがわかった。本実験から、希HF濃度を下げることによって、希HFミストによる水ガラスの形成頻度が低減できることがわかった。

【0029】水ガラスの形成は、以下の化学反応で発生する。

【0030】

りも低くすると多結晶シリコン膜表面の自然酸化膜を除去するのに時間がかかる。図4にシリコン表面の疎水面露出時間とHF濃度の関係を示す。特に、HF濃度を0.6wt%以下にすると、急激に疎水面露出時間が長くなるのがわかる。しかしながら、多結晶シリコン膜がパターニングされているため、長時間HF溶液に晒されるとアンダーコート膜である酸化膜がエッチングされて多結晶シリコン膜がエッチバックされてしまう不良が発生した。これは、アンダーコート膜と基板あるいは多結晶シリコン膜との界面に部分的に希HF溶液が浸み込み、エッチバックされる部分とされない部分ができるためと考えられる。したがって、多結晶シリコン膜がエッチバックによって無くなることを避けるために、希HF濃度は0.6wt%以上とする必要がある。また、HF

濃度が0.6wt%よりも小さい場合、処理時間が2～3倍程度長くなるので、生産上タクトが長くなるという欠点もある。

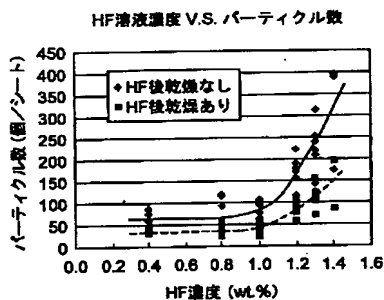
【0033】上記のことから、副作用がなくゲート絶縁膜形成前にレーザアニールによって形成された自然酸化膜を除去し、かつHFミストによる不良を低減するには、HF濃度は0.6wt%から1.0wt%の範囲内に設定しなければならない。

【0034】以上説明したように、本実施形態によれば、ゲート絶縁膜の形成前に多結晶シリコン膜14の表面を、HF濃度が0.6wt%から1.0wt%の範囲の希HF処理を行うことにより、希HF処理中に再付着する希HFミストによる水ガラスの形成および汚染で生じる薄膜トランジスタの特性のばらつきを可及的に防止することのできる。また、希HF処理後に基板上に残った希HF溶液をスピン乾燥にて除去した後純水リンスを行なうことによって、多結晶シリコン膜上に水ガラスが形成されることを抑制できる。それによって、欠点（線欠点および点欠点）のない多結晶シリコン薄膜トランジスタ液晶表示装置をえることができる。

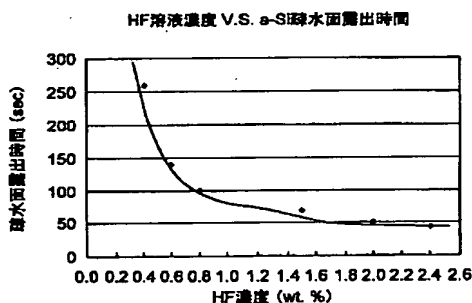
【0035】

【発明の効果】以上述べたように、本発明によれば、薄膜トランジスタの特性のばらつきを可及的に防止することのできる。

【図2】



【図4】



* 【図面の簡単な説明】

【図1】本発明による薄膜トランジスタの製造方法の一実施形態の製造工程断面図。

【図2】希HF濃度とパーティクル数の関係を示すグラフ。

【図3】希HF濃度と不良発生数の関係を示すグラフ。

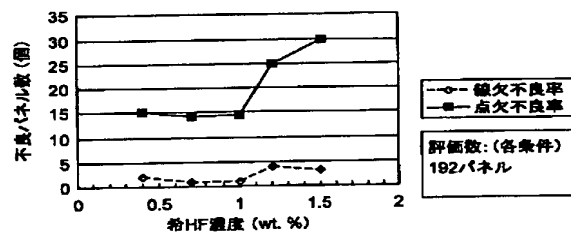
【図4】HF濃度と非晶質シリコン膜の疎水面露出時間との関係を示すグラフ。

【図5】従来の製造方法の製造工程断面図。

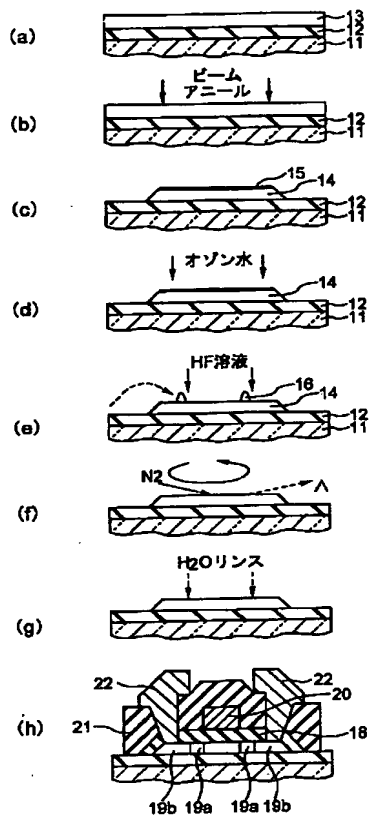
【符号の説明】

- 11 ガラス基板
- 12 アンダーコート膜 (SiO_x, SiN_x)
- 13 非晶質シリコン膜
- 14 多結晶シリコン膜
- 15 レーザアニールで形成された表面酸化膜
- 16 HFミスト・溶液 (0.7wt%)
- 18 ゲート絶縁膜
- 19 a 低濃度ソース・ドレイン領域
- 19 b 高濃度ソース・ドレイン領域
- 20 ゲート電極
- 21 層間絶縁膜
- 22 ソース・ドレイン電極
- 23 HFミスト・溶液 (2.0wt%)
- 24 水ガラス (表面汚染)

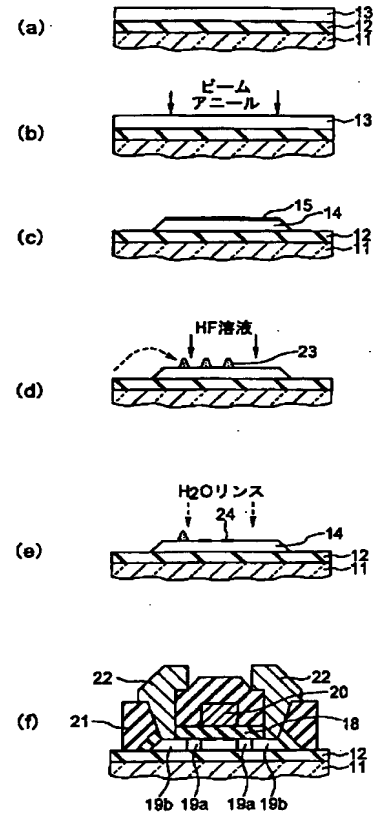
【図3】



【図1】



【図5】



フロントページの続き

Fターム(参考) 5F043 AA10 AA31 BB03 BB22 EE07
 EE08 EE23 GG10
 5F045 AA08 AB03 AB04 AB32 AD07
 AF07 BB15 CA15 HA14 HA16
 HA18
 5F052 AA02 BB07 CA02 DA02 DB03
 EA15 EA16 JA01
 5F110 AA08 AA26 AA30 BB01 CC02
 DD02 DD11 FF36 GG02 GG13
 GG16 GG25 GG45 HM15 NN02
 NN35 PP03 PP35 QQ11